

20.7.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 1 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 9 4 5 3 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 2 9 4 5 3 1]

出 願 人 ローム株式会社
Applicant(s):

REC'D 10 SEP 2004

WIPO

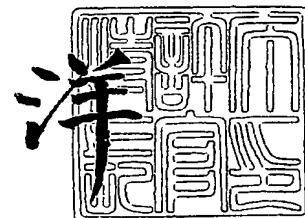
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 PR300143
【提出日】 平成15年 8月18日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 27/04
B41J 29/38
【発明者】
【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
【氏名】 西川 英敏
【特許出願人】
【識別番号】 000116024
【氏名又は名称】 ローム株式会社
【代理人】
【識別番号】 100085501
【弁理士】
【氏名又は名称】 佐野 静夫
【手数料の表示】
【予納台帳番号】 024969
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0113515

【書類名】 特許請求の範囲**【請求項 1】**

第 1 ～ 第 n シフトレジスタと、該第 1 ～ 第 n シフトレジスタそれぞれに与えられるデータが入力される第 1 ～ 第 n 入力端子と、を備える半導体集積回路装置において、

第 k (k は、 $1 \leq k \leq n-1$ の整数) シフトレジスタの出力と第 $k+1$ シフトレジスタの入力との電気的な接離を行う第 1 スイッチと、

前記第 $k+1$ シフトレジスタの入力と該第 $k+1$ シフトレジスタへのデータが入力される第 $k+1$ 入力端子との電気的な接離を行う第 2 スイッチと、

前記第 1 スイッチ及び前記第 2 スイッチの ON/OFF を切り換えるための選択信号が入力される選択信号入力端子と、

を備え、

前記第 k シフトレジスタと前記第 $k+1$ シフトレジスタを結合して使用する際は、前記選択信号によって、前記第 1 スイッチを ON とするとともに、前記第 2 スイッチを OFF とし、

又、前記第 k シフトレジスタと前記第 $k+1$ シフトレジスタを分割して使用する際は、前記選択信号によって、前記第 1 スイッチを OFF とするとともに、前記第 2 スイッチを ON とすることを特徴とする半導体集積回路装置。

【請求項 2】

第 1 ～ 第 n シフトレジスタと、該第 1 ～ 第 n シフトレジスタそれぞれに与えられるデータが入力される第 1 ～ 第 n 入力端子と、を備える半導体集積回路装置において、

第 $k+1$ (k は、 $1 \leq k \leq n-1$) シフトレジスタへのデータが入力される第 $k+1$ 入力端子の外部との接続状態に応じて、前記第 k シフトレジスタの出力と前記第 $k+1$ シフトレジスタの入力とを接続するか、又は、前記第 $k+1$ 入力端子と前記第 $k+1$ シフトレジスタの入力とを接続するかを切換制御する切換制御部を備えるとともに、

前記第 $k+1$ 入力端子が外部と接続されていない開放状態であることを前記切換制御部が確認したとき、前記第 k シフトレジスタの出力と前記第 $k+1$ シフトレジスタの入力とを接続するとともに、前記第 $k+1$ 入力端子と前記第 $k+1$ シフトレジスタの入力との接続を切断し、

前記第 $k+1$ 入力端子が外部と接続されてデータが入力されていることを前記切換制御部が確認したとき、前記第 k シフトレジスタの出力と前記第 $k+1$ シフトレジスタの入力との接続を切断するとともに、前記第 $k+1$ 入力端子と前記第 $k+1$ シフトレジスタの入力とを接続することを特徴とする半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体集積回路装置

【技術分野】

【0001】

本発明は、入力されたシリアルデータをパラレルデータに変換するシフトレジスタを構成する半導体集積回路装置に関するもので、特に、複数のシフトレジスタを備えた半導体集積回路装置に関するものである。

【背景技術】

【0002】

従来より、プリンタヘッドドライバなどにおいて、各ビット毎のデータがシリアルデータとして入力されて格納するシフトレジスタが設置される。このシフトレジスタでは、入力されたシリアルデータを各ビット毎に分割してパラレルデータに変換してラッチ回路に与える。そして、ラッチ回路に格納された各ビットのデータは、各ビット毎に設定された所定のタイミング毎にラッチ回路からドライブ回路に出力され、発熱抵抗や発光素子に電流供給を行う。

【0003】

このような従来のプリンタヘッドドライバを備えた印字装置として、複数の発熱素子を複数のブロックに区分して、各ブロックの発熱素子数と同一ビット数の複数のシフトレジスタを備えた印字装置が提供されている（特許文献1参照）。この印字装置において、ブロック毎のデータを各シフトレジスタに格納し、各シフトレジスタの駆動タイミングを異なるタイミングとすることで、データ出力するシフトレジスタとデータ入力するシフトレジスタとを別のシフトレジスタとすることができ、印画動作の高速化を図ることができる。

【0004】

このように、ブロック毎にシフトレジスタが設けられるとき、複数のシフトレジスタが半導体集積回路装置に構成される。即ち、図8のように、フリップフロップFF1～FF64により構成される64ビットのシフトレジスタSRXと、フリップフロップFF65～FF128により構成される64ビットのシフトレジスタSRYとが、1つの半導体集積回路装置100内に構成される。このとき、半導体集積回路装置100には、シフトレジスタSRXへのシリアルデータが入力される入力端子SI1と、クロックが入力されるクロック入力端子CLKと、シフトレジスタSRXからシリアルデータが出力される出力端子SO1と、シフトレジスタSRYへのシリアルデータが入力される入力端子SI2と、を備える。又、シフトレジスタSRX、SRYそれぞれのフリップフロップFF1、FF65の入力側に入力ドライバDinが設けられるとともに、シフトレジスタSRXのフリップフロップFF64の出力側に出力ドライバDoutが設けられる。

【特許文献1】特開平5-229159号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、図8のようにシフトレジスタSRX、SRYが構成される半導体集積回路装置100において、シフトレジスタSRXからシフトレジスタSRYに対してシリアルデータを入力して128ビットのシフトレジスタを構成する場合、半導体集積回路装置100の外部において、出力端子SO1と入力端子SI2とを外部基盤配線で接続する必要がある。そのため、シフトレジスタSRXの出力バッファDoutとシフトレジスタSRYの入力バッファDinと外部基盤配線などの外部寄生負荷容量とによるデータ転送における遅延が発生してしまう。

【0006】

このとき、クロック入力端子CLKから入力されるクロックと、フリップフロップFF64の入力si64及び出力so64と、フリップフロップFF65の入力si65及び出力so65との関係が、図9又は図10のようになる。即ち、図9のようにクロックの

周波数が低いとき、フリップフロップ FF64 は、図 9 (a) のように変化するクロックがハイに立ち上がってからセットアップ時間 t が経過すると、図 9 (c) のように、クロックがハイに立ち上がる時の図 9 (b) のような入力 $s i 64$ の値に応じた値に、出力 $s o 64$ を変化させる。

【0007】

又、図 9 (d) のように、このフリップフロップ FF64 からの出力 $s o 64$ が時間 t だけ遅延して、フリップフロップ FF65 の入力 $s i 65$ として入力される。そして、フリップフロップ FF64 と同様、クロックがハイに立ち上がってからセットアップ時間 t が経過すると、図 9 (e) のように、クロックがハイに立ち上がる時の図 9 (d) のような入力 $s i 65$ の値に応じた値に、出力 $s o 65$ を変化させる。

【0008】

この図 9 の例では、図 9 (a) のようにクロックの周波数が低く、その周期 T がセットアップ時間 t と遅延時間 $t d$ との和 ($= t + t d$) 以上となるため、フリップフロップ FF65 の出力 $s o 65$ をフリップフロップ 64 の出力 $s o 64$ に応じたものとすることができる。よって、データを欠落させることなくシフトレジスタ $S R X$, $S R Y$ を動作させることができる。

【0009】

それに対して、図 10 (a) のように、クロックの周波数を高くしてその周期 T がセットアップ時間 t と遅延時間 $t d$ との和 ($= t + t d$) よりも短くなったとき、フリップフロップ FF64 では、その入力 $s i 64$ 及び出力 $s o 64$ が図 10 (b)、(c) のようになり、クロックに応じた動作を行うことができる。しかしながら、フリップフロップ FF65 への入力 $s i 65$ が図 10 (d) のようになり、クロックの立ち上がりの後に入力 $s i 65$ が変化する。そのため、図 10 (e) のように、フリップフロップ FF65 の出力 $s o 65$ がフリップフロップ FF64 からの出力 $s o 64$ に応じたものとならない。よって、フリップフロップ FF65 でデータが欠落してしまう。

【0010】

このような問題を鑑みて、本発明は、複数のシフトレジスタが構成されて、そのシフトレジスタの出入力間を接続して動作させるとき、高周波についても誤動作なくシフトレジスタが駆動することができる半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するために、請求項 1 に記載の半導体集積回路装置は、第 1 ～ 第 n シフトレジスタと、該第 1 ～ 第 n シフトレジスタそれぞれに与えられるデータが入力される第 1 ～ 第 n 入力端子と、を備える半導体集積回路装置において、第 k (k は、 $1 \leq k \leq n-1$ の整数) シフトレジスタの出力と第 $k+1$ シフトレジスタの入力との電気的な接離を行う第 1 スイッチと、前記第 $k+1$ シフトレジスタの入力と該第 $k+1$ シフトレジスタへのデータが入力される第 $k+1$ 入力端子との電気的な接離を行う第 2 スイッチと、前記第 1 スイッチ及び前記第 2 スイッチの ON/OFF を切り換えるための選択信号が入力される選択信号入力端子と、を備え、前記第 k シフトレジスタと前記第 $k+1$ シフトレジスタを結合して使用する際は、前記選択信号によって、前記第 1 スイッチを ON とするとともに、前記第 2 スイッチを OFF とし、又、前記第 k シフトレジスタと前記第 $k+1$ シフトレジスタを分割して使用する際は、前記選択信号によって、前記第 1 スイッチを OFF とするとともに、前記第 2 スイッチを ON とすることを特徴とする。

【0012】

このような半導体集積回路装置において、前記第 2 スイッチと前記第 $k+1$ 入力端子との間に入力ドライバが設けられるとともに、前記第 1 シフトレジスタ内に入力ドライバが設けられるものとしても構わない。このとき、前記第 2 ～ 第 n シフトレジスタ内において、入力ドライバを削除することができる。

【0013】

又、前記第 1 及び第 2 スイッチを N チャネル及び P チャネルの MOS トランジスタが並

列に接続されたトランジスタスイッチとしても構わない。そして、前記選択信号入力端子にインバータが接続され、前記選択信号入力端子及び前記インバータからの選択信号が該トランジスタスイッチに入力される。このとき、前記選択信号入力端子からの選択信号が前記第1スイッチ及び前記第2スイッチそれぞれのトランジスタスイッチを構成するMOSトランジスタのゲートに入力されるとともに、ゲートに選択信号が入力されるMOSトランジスタが前記第1スイッチと前記第2スイッチとの間で逆極性のものとなる。又、前記インバータで反転された選択信号が前記第1スイッチ及び前記第2スイッチそれぞれのトランジスタスイッチを構成するMOSトランジスタのゲートに入力されるとともに、ゲートに選択信号が入力されるMOSトランジスタが前記第1スイッチと前記第2スイッチとの間で逆極性のものとなる。

【0014】

また請求項2に記載の半導体集積回路装置は、第1～第nシフトレジスタと、該第1～第nシフトレジスタそれぞれに与えられるデータが入力される第1～第n入力端子と、を備える半導体集積回路装置において、第k+1 (k は、 $1 \leq k \leq n-1$) シフトレジスタへのデータが入力される第k+1入力端子の外部との接続状態に応じて、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力とを接続するか、又は、前記第k+1入力端子と前記第k+1シフトレジスタの入力とを接続するかを切換制御する切換制御部を備えるとともに、前記第k+1入力端子が外部と接続されていない開放状態であることを前記切換制御部が確認したとき、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力とを接続するとともに、前記第k+1入力端子と前記第k+1シフトレジスタの入力との接続を切断し、前記第k+1入力端子が外部と接続されてデータが入力されていることを前記切換制御部が確認したとき、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力との接続を切断するとともに、前記第k+1入力端子と前記第k+1シフトレジスタの入力とを接続することを特徴とする。

【0015】

このような半導体集積回路装置において、前記第kシフトレジスタの出力と第k+1シフトレジスタの入力との電気的な接離を行う第1スイッチと、前記第k+1シフトレジスタの入力と該第k+1シフトレジスタへのデータが入力される第k+1入力端子との電気的な接離を行う第2スイッチと、を備え、前記切換制御部から前記第1スイッチ及び前記第2スイッチのON/OFFを切り換える選択信号が出力されるものとしても構わない。

【0016】

このとき、前記第2スイッチがONとされるとき、前記第k+1入力端子及び前記切換制御部及び前記第2スイッチを介して、外部からのデータが前記第k+1シフトレジスタに入力される。又、前記第k+1入力端子から入力されるデータが前記切換制御部を介して与えられる入力ドライバを備えるとともに、第2スイッチが該入力ドライバと前記第k+1シフトレジスタの入力との間に設けられるものとしても構わない。このようにすることで、前記第2～第nシフトレジスタ内において、入力ドライバを削除することができる。更に、前記第1シフトレジスタ内に入力ドライバが設けられるものとしても構わない。

【0017】

又、前記第1及び第2スイッチをNチャネル及びPチャネルのMOSトランジスタが並列に接続されたトランジスタスイッチとしても構わない。そして、前記切換制御部からの選択信号が入力されるインバータが接続され、前記切換制御部及び前記インバータからの選択信号が該トランジスタスイッチに入力される。このとき、前記切換制御部からの選択信号が前記第1スイッチ及び前記第2スイッチそれぞれのトランジスタスイッチを構成するMOSトランジスタのゲートに入力されるとともに、ゲートに選択信号が入力されるMOSトランジスタが前記第1スイッチと前記第2スイッチとの間で逆極性のものとなる。又、前記インバータで反転された選択信号が前記第1スイッチ及び前記第2スイッチそれぞれのトランジスタスイッチを構成するMOSトランジスタのゲートに入力されるとともに、ゲートに選択信号が入力されるMOSトランジスタが前記第1スイッチと前記第2スイッチとの間で逆極性のものとなる。

【0018】

データが第1電圧と第2電圧の2値の信号よりなるデータであるとき、前記切換制御部が、前記第k+1入力端子に一端が接続されるとともに他端に第1電圧が印加された第1抵抗と、前記第k+1入力端子に一端が接続されるとともに他端が第2電圧が印加された第2抵抗と、前記第1及び第2抵抗と前記第k+1入力端子との接続ノードの電圧が入力されるとともに前記第1及び第2抵抗による前記第1及び第2電圧の分圧電圧を検出したときに第1信号を出力するとともに前記第1又は第2電圧を検出したとき第2信号を出力する外部入力検出回路と、前記第kシフトレジスタの出力と前記第k+1シフトレジスタの入力との間に接続されるとともに当該外部入力検出回路から前記第1信号が出力されたときONとなる第1スイッチと、前記第1及び第2抵抗と前記第k+1入力端子との接続ノードの電圧が入力される第1インバータと、前記第2電圧が第2電極に接続されるとともに制御電極に前記第1インバータの出力が接続された第1トランジスタと、前記第1電圧が第2電極に接続されるとともに制御電極に前記第1インバータの出力が接続された前記第1トランジスタと逆極性の第2トランジスタと、前記第1トランジスタの第1電極に一端が接続されるとともに他端が前記第k+1シフトレジスタの入力に接続されて前記外部入力検出回路から前記第2信号が入力されたときONとなる第2スイッチと、前記第2トランジスタの第1電極に一端が接続されるとともに他端が前記第k+1シフトレジスタの入力に接続されて前記外部入力検出回路から前記第2信号が入力されたときONとなる第3スイッチと、を備え、前記第1スイッチがONのときに前記第2及び第3スイッチがOFFとなり、前記第1スイッチがOFFのときに前記第2及び第3スイッチがONとなるようにしても構わない。

【0019】

前記第1電圧が前記第2電圧よりも高く、前記外部入力検出回路が、前記第1及び第2抵抗と前記第k+1入力端子との接続ノードの電圧が入力されるとともに前記第1及び第2抵抗による前記第1及び第2電圧の分圧電圧よりも高い電圧が入力されるとともに前記第2電圧に相当するローを出力する第2インバータと、前記第1及び第2抵抗と前記第k+1入力端子との接続ノードの電圧が入力されるとともに前記第1及び第2抵抗による前記第1及び第2電圧の分圧電圧よりも低い電圧が入力されるとともに前記第1電圧に相当するハイを出力する第3インバータと、該第3インバータの出力が入力される第4インバータと、前記第2インバータと前記第4インバータの出力が入力される排他的論理和回路とを備え、前記排他的論理和回路からの出力がハイとなるとときに前記第1スイッチがOFFとなるとともに前記第2及び第3スイッチがONとなり、前記排他的論理和回路からの出力がローとなるとときに前記第1スイッチがONとなるとともに前記第2及び第3スイッチがOFFとなる。

【0020】

又、前記外部入力検出回路を備えるとき、前記第1スイッチをトランジスタスイッチとしても構わない。又、前記第2スイッチが前記第1トランジスタと同じ極性のトランジスタであるとともに、前記第3スイッチが前記第2トランジスタと同じ極性のトランジスタであるものとしても構わない。

【発明の効果】

【0021】

本発明によると、複数のシフトレジスタが構成され、隣接するシフトレジスタの出力と入力との間における接続を内部で行うことができるため、従来のように、外部基盤配線によって接続する必要がない。よって、従来のように外部の寄生負荷容量などの影響によるシフトレジスタ間での遅延を抑制することができるため、隣接するシフトレジスタを連結して駆動する場合においても、周波数の高いクロックによって動作させることができる。又、本発明によると、外部からの入力をそれぞれのシフトレジスタに与えるか又は外部からの信号数をシフトレジスタの数より少ないものとし各シフトレジスタの入出力の接続させるかを選択することができる。よって、半導体集積回路装置内のシフトレジスタを分割して使用するか、又は、連結して使用するかを選択することができる。

【0022】

又、本発明によると、従来、各シフトレジスタからの出力を外部に出力するための出力端子を選択信号入力端子に変更して使用することができるため、従来の半導体集積回路装置と比較して、その端子数を増加させることなく実現することができる。更に、入力端子における外部との接続状態により切換を行えるものとする事で、選択信号を入力するための選択信号入力端子を削除することができ、その端子数を減らすことができる。

【発明を実施するための最良の形態】

【0023】

<第1の実施形態>

本発明の第1の実施形態について、図面を参照して説明する。図1は、本実施形態の半導体集積回路装置の内部構成を示すブロック回路図である。

【0024】

図1の半導体集積回路装置1は、フリップフロップFF1～FF64と入力ドライバDin1とによって構成される64ビットのシフトレジスタSR1と、フリップフロップFF65～FF128によって構成される64ビットのシフトレジスタSR2と、シフトレジスタSR1へのシリアルデータが入力される入力端子SI1と、クロックが入力されるクロック入力端子CLKと、シフトレジスタSR2へのシリアルデータが入力される入力端子SI2と、入力端子SI2からに接続された入力ドライバDin2と、フリップフロップFF64の出力とフリップフロップFF65の入力との間の電気的な接離を行うトランジスタスイッチSWAと、入力ドライバDin2とフリップフロップFF65の入力との間の電気的な接離を行うトランジスタスイッチSWBと、スイッチSWA, SWBのON/OFFを制御する選択信号が入力される選択信号入力端子SELと、選択信号入力端子SELに接続されたインバータInvと、を備える。

【0025】

尚、トランジスタスイッチSWA, SWBは、図2のように、PチャネルのMOSトランジスタTpとNチャネルのMOSトランジスタTnとが並列に接続されて構成される。そして、トランジスタスイッチSWAにおいて、MOSトランジスタTpのゲートにインバータInvで反転された選択信号が入力されるとともに、MOSトランジスタTnのゲートに選択信号入力端子SELを介して入力される選択信号が入力される。又、トランジスタスイッチSWBにおいて、MOSトランジスタTnのゲートにインバータInvで反転された選択信号が入力されるとともに、MOSトランジスタTpのゲートに選択信号入力端子SELを介して入力される選択信号が入力される。

【0026】

このように接続されるとき、シフトレジスタSR1, SR2によって128ビットのシフトレジスタを構成するとき、選択信号入力端子SELより入力される選択信号がハイとされ、スイッチSWAをONとするとともに、スイッチSWBをOFFとする。よって、シフトレジスタSR1のフリップフロップFF64から出力されるデータがスイッチSWAを介してフリップフロップFF65の入力に入力される。

【0027】

よって、半導体集積回路装置1内部で、フリップフロップFF64の出力とフリップフロップFF65の入力とが接続される。そのため、図8のような従来の構成と異なり、フリップフロップFF64の出力とフリップフロップFF65の入力との間の出力ドライバDout及び入力ドライバDinが省かれるとともに、半導体集積回路装置外部で外部基盤配線を介して接続する必要がないため、フリップフロップFF64の出力とフリップフロップFF65の入力との間で発生する遅延を防ぐことができる。

【0028】

又、シフトレジスタSR1, SR2によって64ビットの2つのシフトレジスタを構成し、シフトレジスタSR1, SR2それぞれに対して、入力端子SI1, SI2よりデータを入力するとき、選択信号入力端子SELより入力される選択信号がローとされ、スイッチSWAをOFFとするとともに、スイッチSWBをONとする。よって、入力端子S

I 2 から入力されるデータが入力ドライバD i n 2 及びスイッチSWBを介してフリップフロップFF 6 5 の入力に入力される。

【0029】

このように構成することで、選択信号を切り換えることで、半導体集積回路装置1内に構成される複数のシフトレジスタを1つのシフトレジスタとして連結させて使用するとき、隣接するシフトレジスタの入出力間で発生するデータの遅延を抑制することができる。よって、クロックの周波数が高くしたときにおいても、隣接するシフトレジスタの入出力間におけるデータの欠落を防ぐことができる。又、図8のような従来の構成において出力端子S O 1 として使用されていた端子を選択信号入力端子S E L に置換することができる、従来と同数の端子を用いて構成することができる。

【0030】

尚、本実施形態において、2つの64ビットのシフトレジスタが半導体集積回路装置1内に構成されるものとしたが、64ビットのシフトレジスタと限定されるものでなく、ビット数の異なるシフトレジスタであっても構わない。又、トランジスタスイッチSWA、SWBについても、トランジスタスイッチに限らず、別の構成のスイッチとしても構わない。

【0031】

又、図3のように、n個のシフトレジスタS R 1 ~ S R n を備え、シフトレジスタS R 1 ~ S R n において隣接するシフトレジスタの間に、n-1個のスイッチS W A 1 ~ S W A n-1 及びn-1個のスイッチS W B 1 ~ S W B n-1 が設けられるものとしても構わない。このとき、n-1個の選択信号入力端子S E L 1 ~ S E L n-1 とn-1個のインバータI n v 1 ~ I n v n-1 が構成され、それぞれを介して与えられる選択信号及び反転された選択信号がスイッチS W A 1 ~ S W A n-1 及びスイッチS W B 1 ~ S W B n-1 に入力される。

【0032】

又、入力端子S I 2 ~ S I n 及び入力ドライバD i n 2 ~ D i n n がシフトレジスタS R 2 ~ S R n に外部からデータ入力されるときに使用される。よって、スイッチS W A 1 ~ S W A n-1 及びスイッチS W B 1 ~ S W B n-1 のON/OFFを選択信号によって切り換えることで、シフトレジスタS R 1 ~ S R n を分割又は連結して、所望のビット数に応じたシフトレジスタを構成することができる。

【0033】

更に、このとき、設置される選択信号入力端子の数をn-1よりも少ないものとして、選択信号入力端子に入力される選択信号のパルス数によりスイッチS W A 1 ~ S W A n-1, S W B 1 ~ S W B n-1 の切換を設定する切換制御部を備えるものとしても構わない。

【0034】

<第2の実施形態>

本発明の第2の実施形態について、図面を参照して説明する。図4は、本実施形態の半導体集積回路装置の内部構成を示すブロック回路図である。尚、図4の半導体集積回路装置において、図1の半導体集積回路装置と同一の目的で使用する部分については、同一の符号を付してその詳細な説明は省略する。

【0035】

図4の半導体集積回路装置1 aは、シフトレジスタS R 1, S R 2 と、入力端子S I 1, S I 2 と、クロック入力端子C L K と、入力ドライバD i n 2 と、トランジスタスイッチS W A, トランジスタスイッチS W B と、入力端子S I 2 の状態に応じてスイッチS W A, S W B のON/OFFを制御する選択信号を生成するとともに入力端子S I 2 に入力された信号を入力ドライバD i n 2 に送出する切換制御部2 と、切換制御部2 からの選択信号を反転するインバータI n v x と、を備える。又、切換制御部2 からの選択信号がスイッチS W A のM O S トランジスタT p のゲート及びスイッチS W B のM O S トランジスタT n のゲートに入力されるとともに、インバータI n v x で反転された選択信号がスイ

ツチSWAのMOSトランジスタ T_n のゲート及びスイッチSWBのMOSトランジスタ T_p のゲートに入力される。

【0036】

このような構成の半導体集積回路装置1aにおいて、切換制御部2は、次の3つの状態に応じて動作する。

(1) 入力端子SI2が外部と接続されず、データが入力されていないとき（ハイインピーダンス状態）

(2) 入力端子SI2に外部からハイとなるデータが入力される時（ハイ入力状態）

(3) 入力端子SI2に外部からローとなるデータが入力される時（ロー入力状態）

【0037】

(1) ハイインピーダンス状態のとき

切換制御部2からローとなる選択信号が出力されるため、スイッチSWAがONとなるとともにスイッチSWBがOFFとなる。よって、シフトレジスタSR1のフリップフロップFF64から出力されるデータが、シフトレジスタSR2のフリップフロップFF65の入力にスイッチSWAを介して入力され、シフトレジスタSR1, SR2が連結されて、128ビットのシフトレジスタが構成される。

【0038】

(2) ハイ入力状態のとき

切換制御部2からハイとなる選択信号が出力されるため、スイッチSWAがOFFとなるとともにスイッチSWBがONとなり、更に、入力端子SI2からのハイとなるデータが、入力ドライブDin2及びスイッチSWBを介してシフトレジスタSR2のフリップフロップFF65の入力に入力される。

【0039】

(3) ロー入力状態の時

切換制御部2からローとなる選択信号が出力されるため、スイッチSWAがOFFとなるとともにスイッチSWBがONとなり、更に、入力端子SI2からのローとなるデータが、入力ドライブDin2及びスイッチSWBを介してシフトレジスタSR2のフリップフロップFF65の入力に入力される。

【0040】

よって、(2)又は(3)のように入力端子SI2に外部からデータが入力される時、外部からのデータが、シフトレジスタSR2のフリップフロップFF65の入力に切換制御部2及び入力ドライブDin2及びスイッチSWBを介して入力され、シフトレジスタSR1, SR2が分割されて、64ビットのシフトレジスタが2つ構成される。

【0041】

このように構成することで、本実施形態の半導体集積回路装置1aは、第1の実施形態の半導体集積回路装置1と比較したとき、選択信号が入力される選択信号入力端子SELを削除することができる。尚、トランジスタスイッチSWA, SWBについて、トランジスタスイッチに限らず、別の構成のスイッチとしても構わない。

【0042】

(本実施形態における別の構成例)

又、本実施形態の別の構成例として、図5のような構成とすることで、トランジスタスイッチSWBを省略することができる。図5の半導体集積回路装置1bは、入力端子SI2に一端が接続された抵抗Ra, Rbと、抵抗Ra, Rbの接続ノードに入力側が接続されるインバータI1～I3と、インバータI3の出力が入力されるインバータI4と、インバータI2, I4の出力が入力されるEXOR回路EX1と、EXOR回路EX1の出力が入力されるインバータI5と、インバータI5からの出力がゲートに入力されるNチャネルのMOSトランジスタT1a及びPチャネルのMOSトランジスタT2aと、EXOR回路EX1の出力がゲートに入力されるNチャネルのMOSトランジスタT1b及びPチャネルのMOSトランジスタT2bと、インバータI1からの出力がゲートに入力されるPチャネルのMOSトランジスタT3a及びNチャネルのMOSトランジスタT3b

と、を備える。

【0043】

又、このように構成されるとき、抵抗 R_a の他端に電源電圧 V_{DD} が印加されるとともに抵抗 R_b の他端が接地される。更に、インバータ I_2 の出力がハイからローに切り替わる入力の閾値を $3/4 V_{DD}$ とするとともに、インバータ I_3 の出力がハイからローに切り替わる入力の閾値を $1/4 V_{DD}$ とする。即ち、インバータ I_2 への入力が $0 \sim 3/4 V_{DD}$ のとき出力がハイとなり、逆に入力が $3/4 V_{DD} \sim V_{DD}$ のとき出力がローとなる。又、インバータ I_3 への入力が $0 \sim 1/4 V_{DD}$ のとき出力がハイとなり、逆に入力が $1/4 V_{DD} \sim V_{DD}$ のとき出力がローとなる。インバータ I_1 , I_4 , I_5 については、入力に対する閾値が $1/4 V_{DD}$ 又は $3/4 V_{DD}$ のいずれでも構わない。

【0044】

又、MOSトランジスタ T_{1a} のドレイン及びMOSトランジスタ T_{1b} のソースがシフトレジスタ SR_1 のフリップフロップ FF_{64} の出力に接続されるとともに、MOSトランジスタ T_{1a} のソース及びMOSトランジスタ T_{1b} のドレインがシフトレジスタ SR_2 のフリップフロップ FF_{65} の入力に接続される。又、MOSトランジスタ T_{3a} のソースに直流電圧 V_{DD} が印加されるとともに、MOSトランジスタ T_{3a} のドレインにMOSトランジスタ T_{2a} のソースが接続される。又、MOSトランジスタ T_{3b} のソースが接地されるとともに、MOSトランジスタ T_{3b} のドレインにMOSトランジスタ T_{2b} のソースが接続される。そして、MOSトランジスタ T_{2a} , T_{2b} のドレインが、シフトレジスタ SR_2 のフリップフロップ FF_{65} の入力に接続される。このとき、MOSトランジスタ T_{1a} , T_{1b} によって、トランジスタスイッチが構成される。

【0045】

(1) ハイインピーダンス状態のとき

このような構成において、入力端子 SI_2 が外部からのデータが入力されないハイインピーダンス状態であるとき、抵抗 R_a , R_b によって分圧された直流電圧 $V_{DD}/2$ がインバータ $I_1 \sim I_3$ に入力される。よって、インバータ I_2 の出力がハイとなるとともに、インバータ I_3 の出力がローとなる。そのため、インバータ I_3 の出力が入力されるインバータ I_4 の出力がハイとなって、インバータ I_2 , I_4 の出力が入力されるEXOR回路 EX_1 の出力がローとなる。更に、EXOR回路 EX_1 の出力が入力されるインバータ I_5 の出力がハイとなる。

【0046】

そして、MOSトランジスタ T_{1b} , T_{2b} のゲートには、ローとなるEXOR回路 EX_1 からの出力が入力されるため、MOSトランジスタ T_{1b} がONとなるとともにMOSトランジスタ T_{2b} がOFFとなる。又、MOSトランジスタ T_{1a} , T_{2a} のゲートには、ハイとなるインバータ I_5 からの出力が入力されるため、MOSトランジスタ T_{1a} がONとなるとともにMOSトランジスタ T_{2a} がOFFとなる。よって、このとき、フリップフロップ FF_{64} から出力されるデータがMOSトランジスタ T_{1a} , T_{1b} によるトランジスタスイッチを介してフリップフロップ FF_{65} に入力される。

【0047】

(2) ハイ入力状態のとき

又、入力端子 SI_2 が外部からのハイとなるデータが入力されるとき、このハイ(V_{DD} に相当)となるデータがインバータ $I_1 \sim I_3$ に入力される。よって、インバータ $I_1 \sim I_3$ それぞれの出力がローとなるとともに、インバータ I_3 の出力が入力されるインバータ I_4 の出力がハイとなって、インバータ I_2 , I_4 の出力が入力されるEXOR回路 EX_1 の出力がハイとなる。更に、EXOR回路 EX_1 の出力が入力されるインバータ I_5 の出力がローとなる。

【0048】

そして、MOSトランジスタ T_{1b} , T_{2b} のゲートには、ハイとなるEXOR回路 EX_1 からの出力が入力されるため、MOSトランジスタ T_{1b} がOFFとなるとともにMOSトランジスタ T_{2b} がONとなる。又、MOSトランジスタ T_{1a} , T_{2a} のゲート

には、ローとなるインバータ I 5 からの出力が入力されるため、MOS トランジスタ T 1 a が OFF となるとともに MOS トランジスタ T 2 a が ON となる。

【0049】

更に、MOS トランジスタ T 3 a, T 3 b のゲートには、ローとなるインバータ I 1 からの出力が入力されるため、MOS トランジスタ T 3 a が ON となるとともに MOS トランジスタ T 3 b が OFF となる。よって、このとき、MOS トランジスタ T 2 a, T 3 a を介して電源電圧 VDD (ハイ) がフリップフロップ FF 65 に入力される。

【0050】

(3) ロー入力状態のとき

又、入力端子 S I 2 が外部からのローとなるデータが入力される時、このロー (0 に相当) となるデータがインバータ I 1 ~ I 3 に入力される。よって、インバータ I 1 ~ I 3 それぞれの出力がハイとなるとともに、インバータ I 3 の出力が入力されるインバータ I 4 の出力がローとなって、インバータ I 2, I 4 の出力が入力される EXOR 回路 EX 1 の出力がハイとなる。更に、EXOR 回路 EX 1 の出力が入力されるインバータ I 5 の出力がローとなる。

【0051】

そして、MOS トランジスタ T 1 b, T 2 b のゲートには、ハイとなる EXOR 回路 EX 1 からの出力が入力されるため、MOS トランジスタ T 1 b が OFF となるとともに MOS トランジスタ T 2 b が ON となる。又、MOS トランジスタ T 1 a, T 2 a のゲートには、ローとなるインバータ I 5 からの出力が入力されるため、MOS トランジスタ T 1 a が OFF となるとともに MOS トランジスタ T 2 a が ON となる。

【0052】

更に、MOS トランジスタ T 3 a, T 3 b のゲートには、ハイとなるインバータ I 1 からの出力が入力されるため、MOS トランジスタ T 3 a が OFF となるとともに MOS トランジスタ T 3 b が ON となる。よって、このとき、MOS トランジスタ T 2 b, T 3 b を介して接地電圧 (ロー) がフリップフロップ FF 65 に入力される。

【0053】

よって、(2) 又は (3) のように入力端子 S I 2 に外部からデータが入力される時、MOS トランジスタ T 1 a, T 1 b によるトランジスタスイッチが OFF されるとともに、外部からのデータが、シフトレジスタ SR 2 のフリップフロップ FF 65 の入力にインバータ I 1 及び MOS トランジスタ T 2 a, T 2 b, T 3 a, T 3 b を介して入力され、シフトレジスタ SR 1, SR 2 が分割されて、64 ビットのシフトレジスタが 2 つ構成される。

【0054】

このように構成されるとき、抵抗 R a, R b をそれぞれ、図 6 のように、ゲートが接地されるとともにソースに電源電圧 VDD が印加された P チャネルの MOS トランジスタ T a と、ゲートに電源電圧 VDD が印加されるとともにソースが接地された N チャネルの MOS トランジスタ T b とで構成されるようにしても構わない。この MOS トランジスタ T a, T b のドレインが接続されるとともに、この接続ノードがインバータ I 1 ~ I 3 の入力に接続される。

【0055】

この図 5 のような構成によると、第 1 の実施形態の半導体集積回路装置 1 と比較したとき、選択信号が入力される選択信号入力端子 S E L 及びトランジスタスイッチ S W B 及び入力ドライブ D i n 2 を削除した構成とすることができる。

【0056】

尚、本実施形態において、2 つの 64 ビットのシフトレジスタが半導体集積回路装置 1 内に構成されるものとしたが、64 ビットのシフトレジスタと限定されるものでなく、ビット数の異なるシフトレジスタであっても構わない。

【0057】

又、図 7 のように、n 個のシフトレジスタ SR 1 ~ SR n を備え、シフトレジスタ SR

1 ~ S R n において隣接するシフトレジスタの間に、n - 1 個のスイッチ S W A 1 ~ S W A n - 1 及び n - 1 個のスイッチ S W B 1 ~ S W B n - 1 が設けられるものとしても構わない。又、入力端子 S I 2 ~ S I n 及び入力ドライブ D i n 2 ~ D i n n がシフトレジスタ S R 2 ~ S R n に外部からデータ入力されるときに使用される。

【0058】

このとき、入力端子 S I 2 ~ S I n と接続された切換制御部 20 と切換制御部 20 からの n - 1 の選択信号それぞれが入力される n - 1 個のインバータ I n v x 1 ~ I n v x n - 1 が構成され、切換制御部 20 から与えられる選択信号及びインバータ I n v x 1 ~ I n v x n - 1 で反転された選択信号がスイッチ S W A 1 ~ S W A n - 1 及びスイッチ S W B 1 ~ S W B n - 1 に入力される。よって、スイッチ S W A 1 ~ S W A n - 1 及びスイッチ S W B 1 ~ S W B n - 1 の ON / OFF を入力端子 S I 2 - 1 ~ S I 2 - n - 1 の状態によって切り換えることで、シフトレジスタ S R 1 ~ S R n を分割又は連結して、所望のビット数に応じたシフトレジスタを構成することができる。

【0059】

更に、図 5 のようなインバータ I 1 ~ I 5 及び EXOR 回路 E X 1 及び MOS トランジスタ T 1 a ~ T 3 a, T 1 b ~ T 3 b による論理回路を、n 個のシフトレジスタ S R 1 ~ S R n の内の隣接するシフトレジスタの入出力毎に n - 1 個設けるとともに、この論理回路 1 つに対して 1 つの入力端子を設けるようにしても構わない。

【図面の簡単な説明】

【0060】

【図 1】第 1 の実施形態のシフトレジスタを備えた半導体集積回路装置の内部構成を示すブロック回路図。

【図 2】トランジスタスイッチの構成を示す回路図。

【図 3】第 1 の実施形態のシフトレジスタを備えた半導体集積回路装置の別の内部構成を示すブロック回路図。

【図 4】第 2 の実施形態のシフトレジスタを備えた半導体集積回路装置の内部構成を示すブロック回路図。

【図 5】第 2 の実施形態のシフトレジスタを備えた半導体集積回路装置の別の内部構成を示すブロック回路図。

【図 6】図 5 の半導体集積回路装置内部の抵抗を MOS トランジスタで構成したときの構成を示す図。

【図 7】第 2 の実施形態のシフトレジスタを備えた半導体集積回路装置の別の内部構成を示すブロック回路図。

【図 8】従来のシフトレジスタを備えた半導体集積回路装置の内部構成を示すブロック回路図。

【図 9】図 7 の半導体集積回路内の一部の動作を示すタイミングチャート。

【図 10】図 7 の半導体集積回路内の一部の動作を示すタイミングチャート。

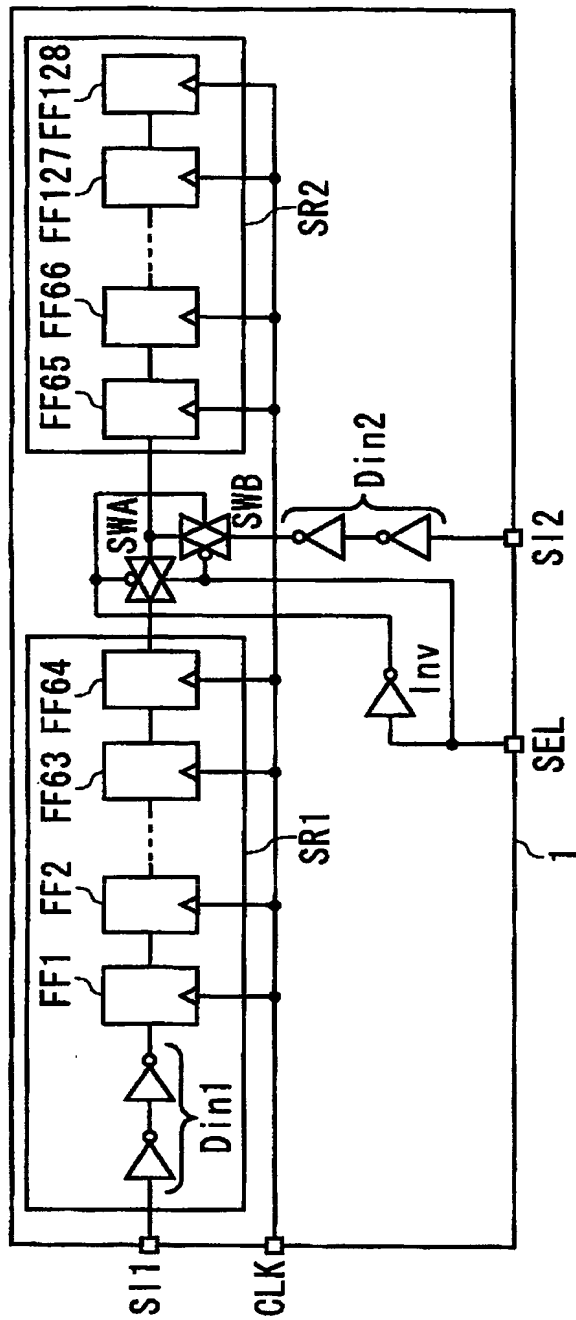
【符号の説明】

【0061】

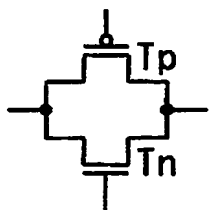
- 1, 1 a, 1 b 半導体集積回路装置
- 2, 20 切換制御部

【書類名】 図面

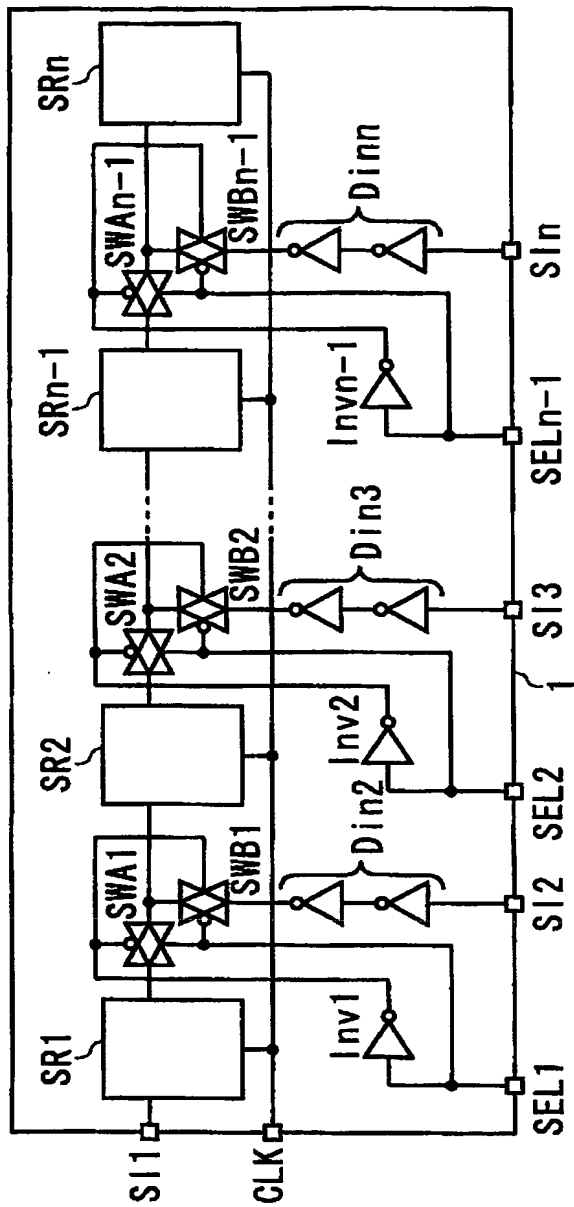
【図 1】



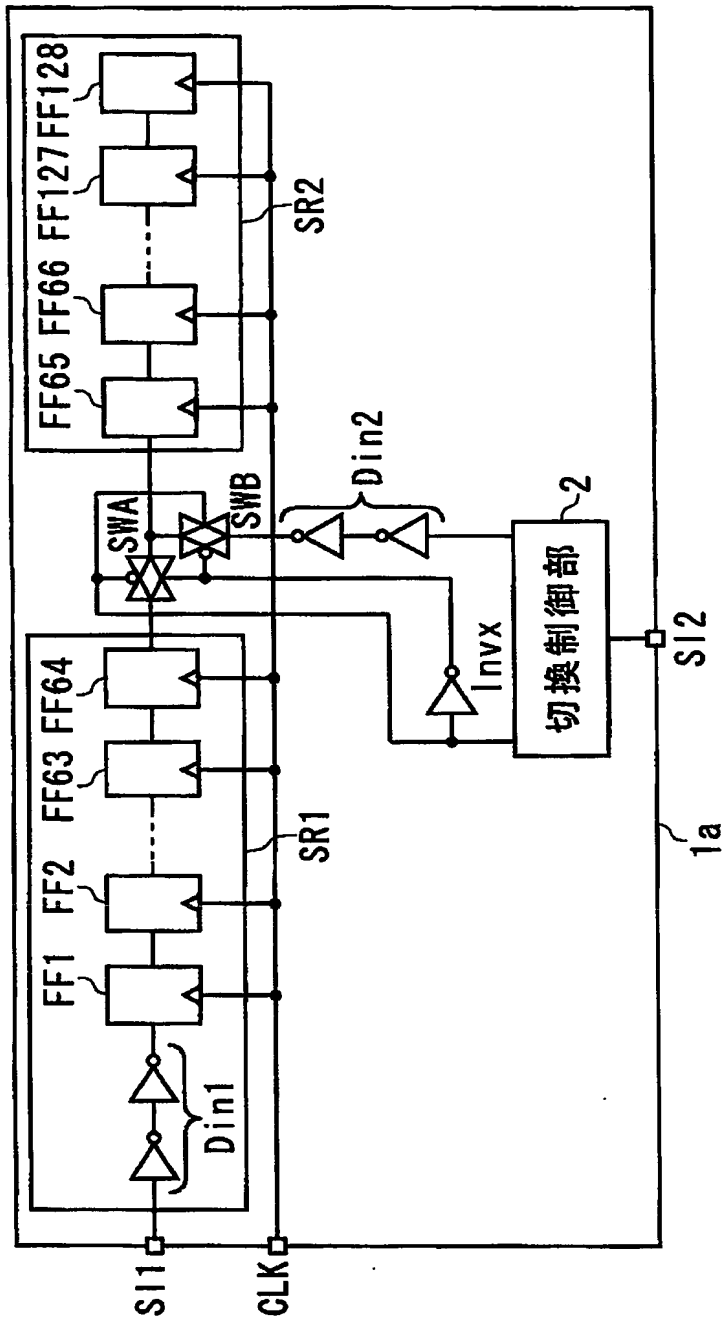
【図 2】



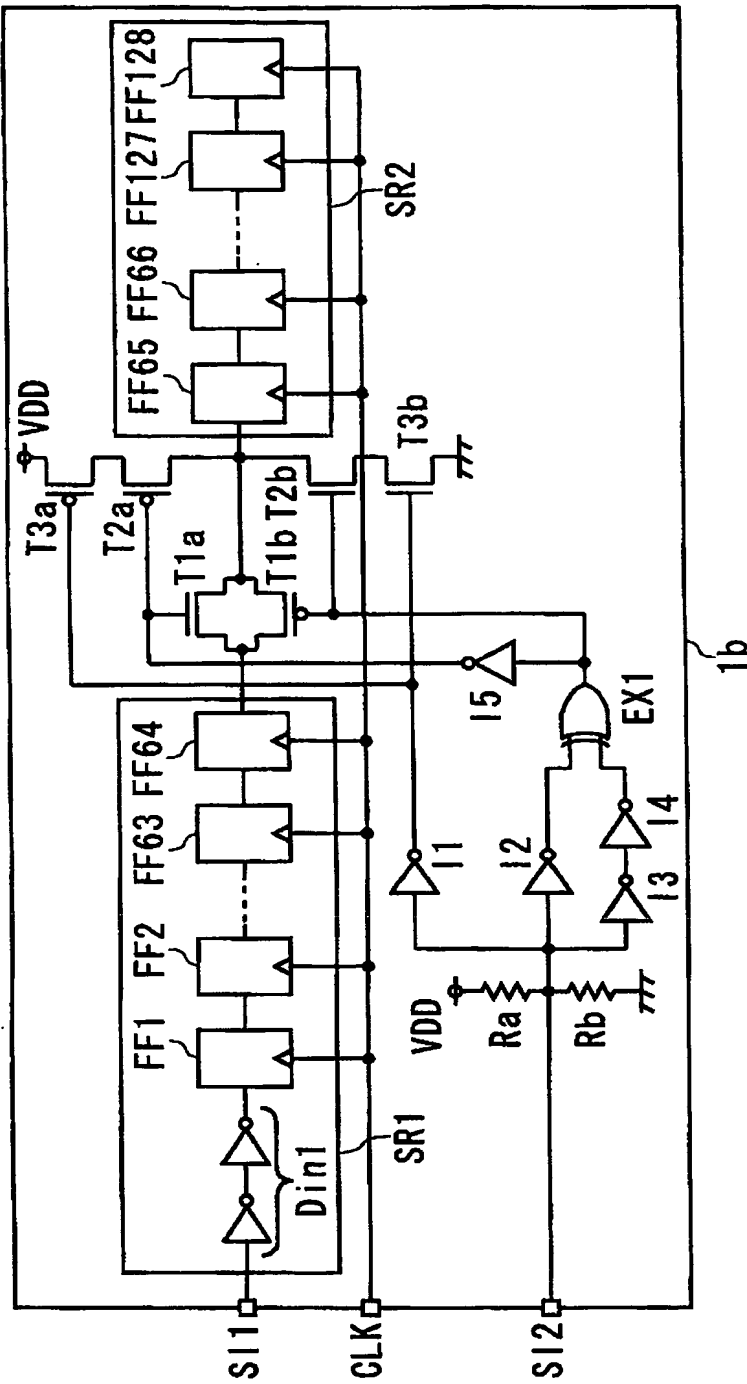
【図 3】



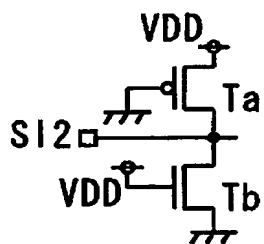
【図 4】



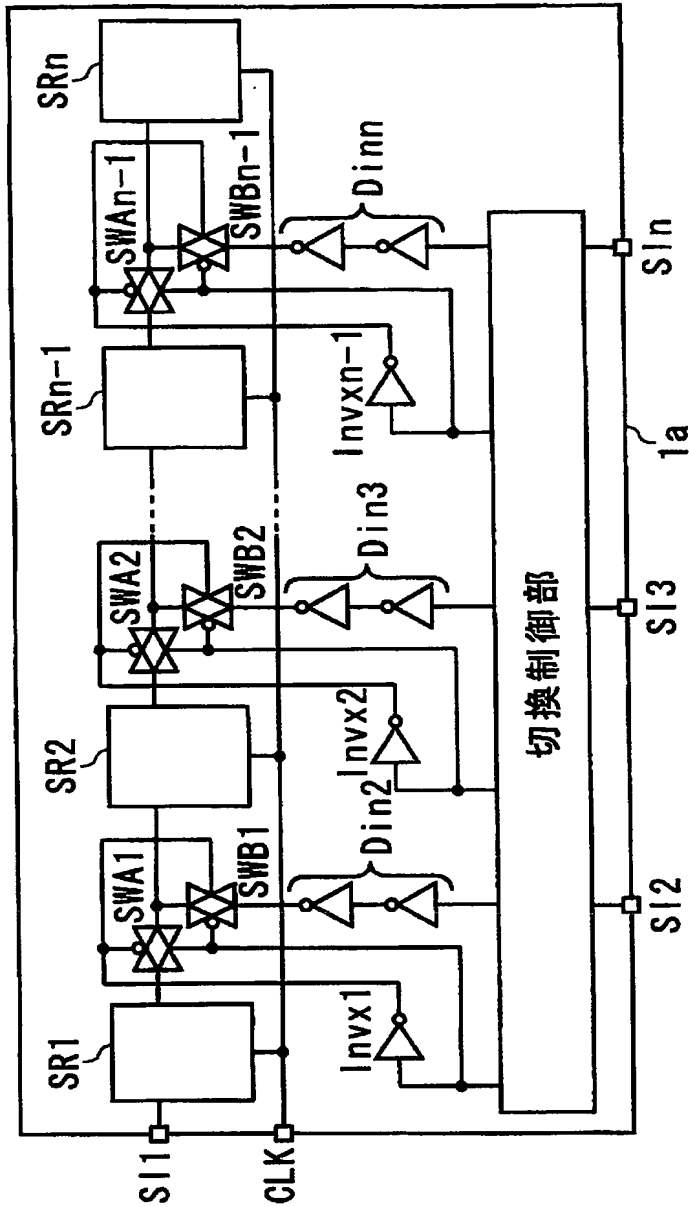
【図 5】



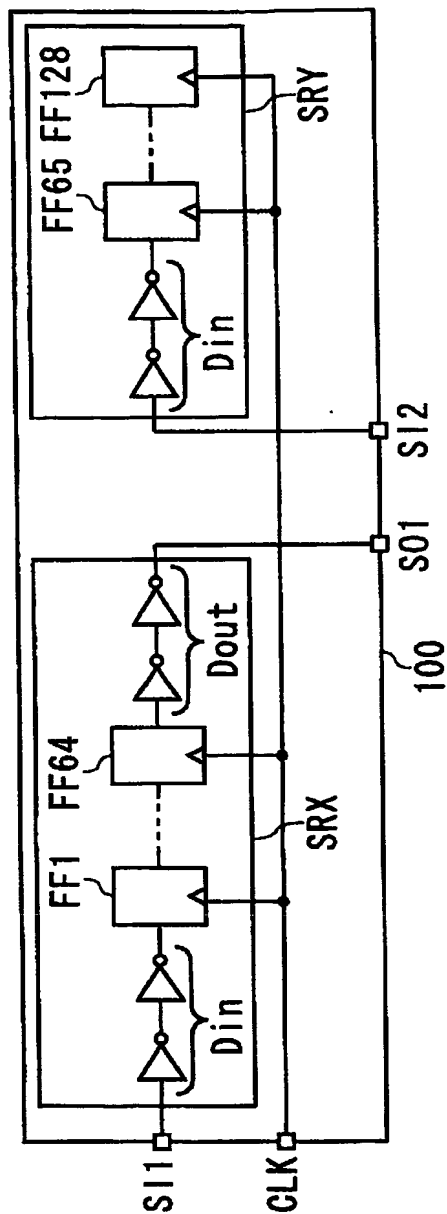
【図 6】



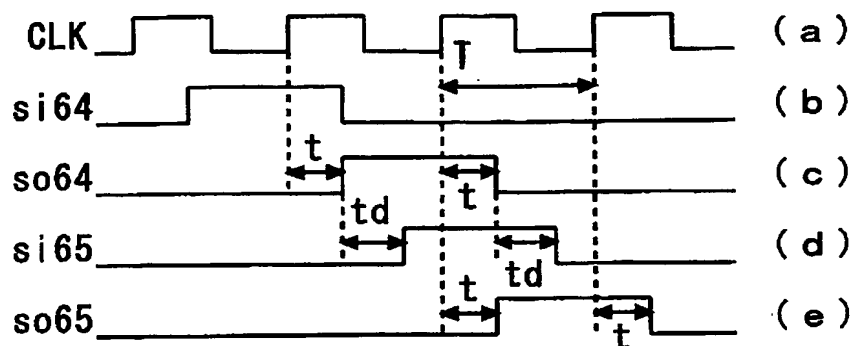
【図 7】



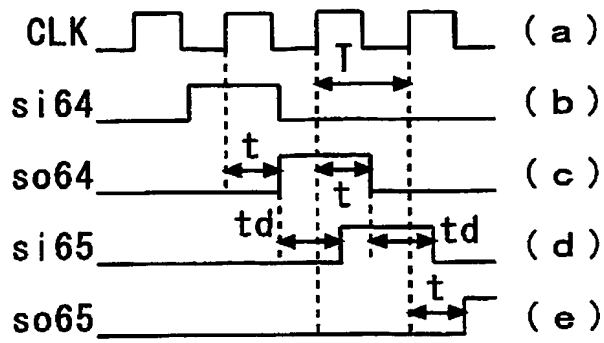
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 本発明は、複数のシフトレジスタが構成されて、そのシフトレジスタの出入力間を接続して動作させるとき、高周波についても誤動作なくシフトレジスタが駆動することができる半導体集積回路装置を提供することを目的とする。

【解決手段】 半導体集積回路装置 1 において、シフトレジスタ SR 1 のフリップフロップ FF 6 4 の出力とシフトレジスタ SR 2 のフリップフロップ FF 6 5 の入力との間を電氣的に接離するトランジスタスイッチ SWA と、入力ドライバ Din 2 とフリップフロップ FF 6 5 の入力との間を電氣的に接利するトランジスタスイッチ SWB を備える。このとき、シフトレジスタ SR 1, SR 2 を連結するとき、選択信号によってトランジスタスイッチ SWA を ON とするとともにトランジスタスイッチ SWB を OFF とする。

【選択図】 図 1

特願 2 0 0 3 - 2 9 4 5 3 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所
氏 名

京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社